

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

011147861 **Image available**

WPI Acc No: 1997-125785/199712

XRPX Acc No: N97-104035

Sequential surface colour image display device - has matrix circuit that produces red, green and blue signals according to outputs of first and second video random access memory

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9009275	A	19970110	JP 95174275	A	19950616	199712 B

Priority Applications (No Type Date): JP 95174275 A 19950616

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 9009275	A		8	H04N-009/12	

Abstract (Basic): JP 9009275 A

The device has a first video random access memory that stores a luminance signal. A second VRAM stores a colour difference signal.

A matrix circuit produces red, green, and blue signals based on the outputs of the first and second VRAMs. The time compression of the video signal component is reduced to one third to form a sequential surface that includes red, green and blue colours.

ADVANTAGE - Reduces capacity of required memory by performing time compression of colour video signal.

Dwg. 1/7

Title Terms: SEQUENCE; SURFACE; COLOUR; IMAGE; DISPLAY; DEVICE; MATRIX;
CIRCUIT; PRODUCE; RED; GREEN; BLUE; SIGNAL; ACCORD; OUTPUT; FIRST; SECOND
; VIDEO; RANDOM; ACCESS; MEMORY

Derwent Class: W03

International Patent Class (Main): H04N-009/12

International Patent Class (Additional): H04N-009/67

File Segment: EPI

特開平9-9275

(43) 公開日 平成9年(1997)1月10日

(51) Int. Cl. ⁶

H04N 9/12

9/67

識別記号

F I

H04N 9/12

9/67

A

A

審査請求 未請求 請求項の数 4 F D (全8頁)

(21) 出願番号

特願平7-174275

(22) 出願日

平成7年(1995)6月16日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 荒井 尚久

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 高橋 孝夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

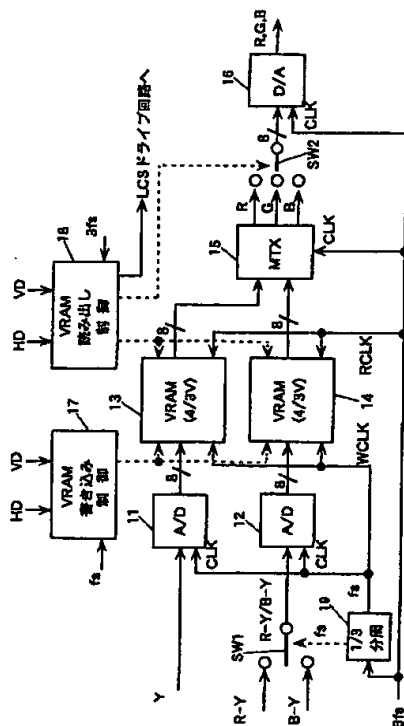
(74) 代理人 弁理士 杉山 猛

(54) 【発明の名称】 映像信号時間圧縮装置及びそれを備えた面順次カラー画像表示装置

(57) 【要約】

【目的】 面順次カラー画像表示装置において、カラー映像信号の時間圧縮用メモリの個数と容量を削減する。

【構成】 Y信号、R-Y信号、B-Y信号を、A/Dコンバータ11、12により4:2:2コンポーネント符号化し、Y信号をVRAM13に、R-Y信号とB-Y信号をVRAM14に記憶する。VRAM13、14に記憶した信号を3倍の速度で読み出し、マトリクス回路15によりR、G、Bに面順次化し、D/Aコンバータ16によりアナログのR、G、B面順次信号に変換する。



【特許請求の範囲】

【請求項 1】 輝度信号を記憶する第 1 の記憶手段と、色差信号を記憶する第 2 の記憶手段と、前記第 1 及び第 2 の記憶手段の出力から R、G、B 信号を作成するマトリックス手段とを具備し、輝度／色差コンポーネント映像信号を 1/3 に時間圧縮すると共に面順次化することを特徴とする映像信号時間圧縮装置。

【請求項 2】 第 1 の記憶手段及び第 2 の記憶手段がそれぞれ 4/3 フィールド分の記憶容量を有する請求項 1 記載の映像信号時間圧縮装置。

【請求項 3】 輝度信号を記憶する第 1 の記憶手段と、色差信号を記憶する第 2 の記憶手段と、前記第 1 及び第 2 の記憶手段の出力から R、G、B 信号を作成するマトリックス手段とを有し、輝度／色差コンポーネント映像信号を 1/3 に時間圧縮すると共に面順次化する映像信号時間圧縮手段と、該映像信号時間圧縮手段の出力が供給される白黒画像表示手段と、該白黒画像表示手段の前面に配置されたカラー液晶シャッタと、前記映像信号時間圧縮手段の出力に基づいて該カラー液晶シャッタをオン／オフ制御する手段とを具備することを特徴とする面順次カラー画像表示装置。

【請求項 4】 第 1 の記憶手段及び第 2 の記憶手段がそれぞれ 4/3 フィールド分の記憶容量を有する請求項 3 記載の面順次カラー画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、白黒 CRT のような白黒画像表示手段の前面にカラー液晶シャッタを配置し、白黒 CRT へ入力する面順次カラー映像信号に同期させてカラー液晶シャッタをオン／オフ制御することによりカラー画像を高解像度表示する装置に関し、さらに詳細にはカラー映像信号の時間圧縮用メモリの容量を削減する技術に関するものである。

【0002】

【従来の技術】 白黒 CRT の前面にカラー液晶シャッタを配置し、白黒 CRT へ入力する面順次カラー映像信号に同期させてカラー液晶シャッタをオン／オフ制御することによりカラー画像を高解像度表示する面順次カラー画像表示装置が提案されている。

【0003】 図 4 はこのような表示装置の一例を示すブロック図である。この図に示すように、従来の面順次カラー画像表示装置は、同時に入力されるフィールド周波数 $f_{v1} = 60 \text{ Hz}$ の R、G、B のカラー映像信号をフィールド周波数 $f_{v2} = 180 \text{ Hz}$ の面順次カラー映像信号に変換する映像信号時間圧縮ブロック 1 と、入力される G 信号から水平同期信号 HD 及び垂直同期信号 VD を分離して映像信号時間圧縮ブロック 1 へ供給すると共にこの水平同期信号 HD を後述するてい倍回路 3 へ供給

する同期分離回路 2 と、同期分離回路 2 から供給される水平同期信号 HD をてい倍して映像信号時間圧縮ブロック 1 におけるサンプリングクロック周波数 f_s の 3 倍の周波数のクロックを生成するてい倍回路 3 と、映像信号時間圧縮ブロック 1 から出力される面順次カラー映像信号が供給される白黒 CRT 4 と、白黒 CRT 4 の前面に配置されたカラー液晶シャッタ 5 と、映像信号時間圧縮ブロック 1 から出力される面順次カラー映像信号から水平同期信号及び垂直同期信号を分離し、後述する偏向回路 7 と液晶シャッタドライブ回路 8 へ供給する同期分離回路 6 と、同期分離回路 6 から供給される水平同期信号及び垂直同期信号を基に白黒 CRT 4 の水平偏向及び垂直偏向を行なう偏向回路 7 と、同期分離回路 6 から供給される水平同期信号と垂直同期信号及び映像信号時間圧縮ブロック 1 から供給されるカラー指定信号を基にカラー液晶シャッタ 5 のオン／オフ制御を行なう液晶シャッタ (LCS) ドライブ回路 8 とから構成されている。

【0004】 図 5 は図 4 におけるカラー液晶シャッタの構成の一例とその動作を示す図である。図 5 (a) に示すように、カラー液晶シャッタは、図 4 の白黒 CRT 4 の画面の前面に配置されており、第 1 の偏光板 2 1 と、第 1 の液晶パネル 2 2 と、第 2 の偏光板 2 3 と、第 2 の液晶パネル 2 4 と、第 3 の偏光板 2 5 とから構成されている。

【0005】 第 1 の偏光板 2 1 はニュートラル偏光板であり、水平方向に偏光面を有する R、G、B を透過させる。また、第 2 の偏光板 2 3 はカラー偏光板であり、水平方向に偏光面を有する B と垂直方向に偏光面を有する R 及び G を透過させる。さらに、第 3 の偏光板 2 5 もカラー偏光板であり、水平方向に偏光面を有する R と垂直方向に偏光面を有する B 及び G を透過させる。そして、第 1、第 2 の液晶パネル 2 2、2 4 は、オンの時 (電圧が印加された時) にはそのままの偏光面で、オフの時 (電圧が印加されていない時) には偏光面を 90 度回転させて入射光を透過させる。

【0006】 したがって、図 5 (b) に示すように、このカラー液晶シャッタにおける第 1、第 2 の液晶パネル 2 2、2 4 を R、G、B 信号に同期してオン／オフ制御することにより、カラー表示を行うことができる。

【0007】 まず、第 1 の液晶パネル 2 2 がオン、第 2 の液晶パネル 2 4 がオフの時について説明する。図 4 の白黒 CRT 4 から放射された白色光 (R、G、B) は、水平方向に偏光面を有する成分のみが第 1 の偏光板 2 1 を透過する。そして、第 1 の液晶パネル 2 2 はオンなので、そのままの偏光面で透過し、第 2 の偏光板 2 3 へ入射する。第 2 の偏光板 2 3 は水平方向に偏光面を有する色は B のみ透過させるので、第 2 の偏光板 2 3 へ入射した R、G、B の内、B のみがここを透過し、第 2 の液晶パネル 2 4 へ入射する。第 2 の液晶パネル 2 4 はオフであるから、ここで偏光面を 90 度回転させられて垂直方

向に偏光面を有するBとなり、第3の偏光板25へ入射する。第3の偏光板25は垂直方向に偏光面を有するBとGを透過させるので、第3の偏光板25を透過する光はBのみとなる。

【0008】同様に、第1の液晶パネル22がオフ、第2の液晶パネル24がオンの時は、第3の偏光板25を透過する光はGとなり、第1の液晶パネル22と第2の液晶パネル24が共にオフの時は、Rとなる。

【0009】次に図4に示した面順次カラー画像表示装置の動作を説明する。フィールド周波数 $f_v1=60\text{Hz}$ のR、G、B信号は映像信号時間圧縮ブロック1にパラレルに入力される。映像信号時間圧縮ブロック1は、R、G、B信号をA/D変換して内部のフィールドメモリ（図示せず）に書き込み、書き込み時の3倍の速度で読み出すことにより1/3に時間圧縮を行う。また、R、G、Bの面順次信号としてこのフィールドメモリから読み出す。読み出されたフィールド周波数 $f_v2=180\text{Hz}$ のR、G、B面順次カラー映像信号はD/A変換されて出力される。この時、同期分離回路2がG信号から分離した水平同期信号HD及び垂直同期信号VDと、この水平同期信号HDを基にいて倍回路3が生成したクロックが映像信号時間圧縮ブロック1に入力され、各種タイミング制御信号の作成に使用される（詳細は後述）。

【0010】映像信号時間圧縮ブロック1から出力されたR、G、B面順次カラー映像信号は白黒CRT4へ送られ、電気/光変換され白色光となる。R、G、B面順次カラー映像信号は同期分離回路6へも送られる。同期分離回路6はR、G、B面順次カラー映像信号から水平同期信号と垂直同期信号を分離して偏向回路7と液晶シャッタドライブ回路8へ送る。偏向回路7は同期分離回路6から供給される水平同期信号及び垂直同期信号を基に白黒CRT4の水平偏向及び垂直偏向を行なう。また、液晶シャッタドライブ回路8は同期分離回路6から供給される水平同期信号と垂直同期信号及び映像信号時間圧縮ブロック1から供給されるカラー指定信号を基に、図5に示した2枚の液晶パネル22、24がR、G、B面順次カラー映像信号の色に対応した表示色になるようにオン/オフ制御する。

【0011】図6に映像信号時間圧縮ブロック1の詳細を示す。この図に示すように、映像信号時間圧縮ブロック1は、R、G、Bの各信号を8ビットのデジタル信号に変換するA/Dコンバータ31、32、33と、A/Dコンバータ31、32、33の出力を格納するVRAM34、35、36と、VRAM34、35、36の出力を選択して面順次化するスイッチSW3と、スイッチSW3により面順次化されたカラー映像信号をアナログ変換するD/Aコンバータ37と、VRAM34、35、36の書き込み制御信号を生成するVRAM書き込み制御回路38と、VRAM34、35、36の読み出

し制御信号、スイッチSW3の切り換え制御信号及び図4の液晶シャッタドライブ回路8のカラー指定信号を生成するVRAM読み出し制御回路39と、図4のてい倍回路3から供給される3fsのクロックを1/3に分周して周波数fsのサンプリングクロックを生成する1/3分周回路40とから構成されている。

【0012】ここで、図4の同期分離回路2から出力された水平同期信号HDと垂直同期信号VDは、VRAM書き込み制御回路38とVRAM読み出し制御回路39のタイミング制御信号として用いられる。

【0013】また、周波数fsのサンプリングクロックはA/Dコンバータ31、32、33のサンプリングクロックとして、また、VRAM34、35、36の書き込みクロックWCLKとして用いられる。さらに、VRAM書き込み制御回路38のタイミング制御信号として用いられる。

【0014】同様に、周波数3fsのサンプリングクロックはD/Aコンバータ37のタイミング制御信号として、また、VRAM34、35、36の読み出しクロックRCLKとして、さらに、VRAM読み出し制御回路39のタイミング制御信号として用いられる。

【0015】また、VRAM34、35、36の内、VRAM34、36は1フィールドの容量を持たせてあり、VRAM35は、メモリ内で読み出しが書き込みを追い越さないようにするために4/3フィールドの容量を持たせてある。

【0016】図7はVRAM34、35、36のメモリ制御動作を示す図である。この図において、横軸は時間を示し、縦軸は各VRAMの容量であってVはフィールドを示す。

【0017】この図に示すように、VRAM34、35、36への書き込みはR、G、B同時に行なわれ、読み出しはR、B、Gの順に行なわれる。より詳しく説明すると、Bは書き込み終了と同時に読み出しが開始され、RはBよりも入力信号の1/3フィールド（＝出力信号の1フィールド）早く読み出される。そして、GはBよりも入力信号の1/3フィールド遅く読み出される。このため、Gを格納するVRAM35の容量を他のVRAM34、36と同じ1フィールドにすると、読み出しを次のフィールドの書き込みが追い越してしまうので、容量を4/3フィールドまで増加させ、追い越しを回避している。

【0018】

【発明が解決しようとする課題】前記従来の面順次カラー画像表示装置では、カラー映像信号の時間圧縮用にR、G、Bの各々に1個、計3個のVRAMが必要であり、その容量は計10/3フィールド分必要であった。

【0019】したがって、本発明はカラー映像信号の時間圧縮用メモリの個数と容量を削減した映像信号時間圧縮装置を提供することを目的とする。また、本発明は力

ラー映像信号の時間圧縮用メモリの個数と容量を削減した面順次カラー画像表示装置を提供することを目的とする。

【0020】

【課題を解決するための手段】前記問題点を解決するために、本発明に係る映像信号時間圧縮装置は、輝度信号を記憶する第1の記憶手段と、色差信号を記憶する第2の記憶手段と、第1及び第2の記憶手段の出力からR、G、B信号を作成するマトリックス手段とを具備し、輝度/色差コンポーネント映像信号を1/3に時間圧縮すると共に面順次化することを特徴とするものである。

【0021】また、本発明に係る面順次カラー画像表示装置は、輝度信号を記憶する第1の記憶手段と、色差信号を記憶する第2の記憶手段と、第1及び第2の記憶手段の出力からR、G、B信号を作成するマトリックス手段とを有し、輝度/色差コンポーネント符号化映像信号を1/3に時間圧縮すると共に面順次化する映像信号時間圧縮手段と、映像信号時間圧縮手段の出力が供給される白黒画像表示手段と、白黒画像表示手段の前面に配置されたカラー液晶シャッタと、映像信号時間圧縮手段の出力に基づいてカラー液晶シャッタをオン/オフ制御する手段とを具備することを特徴とするものである。

【0022】ここで、第1の記憶手段及び第2の記憶手段がそれぞれ4/3フィールド分の記憶容量を有するように構成することにより、これらの記憶手段において読み出しが書き込みを追い越さないようにすることが好適である。

【0023】

【作用】本発明に係る映像信号時間圧縮装置によれば、輝度/色差コンポーネント映像信号の輝度信号を第1の記憶手段に書き込み、色差信号を第2の記憶手段に書き込む。そして、この輝度信号及び色差信号を書き込み速度の3倍の速度で読み出し、マトリックス手段により面順次カラー映像信号を作成する。

【0024】また、本発明に係る面順次カラー画像表示装置によれば、このようにして作成した面順次カラー映像信号を白黒画像表示手段へ供給する。そして、白黒画像表示手段の前面に配置されたカラー液晶シャッタを面順次カラー映像信号に基づいてオン/オフ制御することにより、面順次カラー画像を表示する。

【0025】

【実施例】以下本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明を適用した面順次カラー画像表示装置の構成を示すブロック図である。ここで、図4と同一の部分には同一の番号が付してある。

【0026】本実施例の面順次カラー画像表示装置は、フィールド周波数 $f_{v1} = 60\text{ Hz}$ の輝度/色差コンポーネント映像信号をフィールド周波数 $f_{v2} = 180\text{ Hz}$ の面順次カラー映像信号に変換する映像信号時間圧縮ブロック1' と、入力される輝度/色差コンポーネント

映像信号のY信号(輝度信号)から水平同期信号HD及び垂直同期信号VDを分離して映像信号時間圧縮ブロック1'へ供給すると共にこの水平同期信号HDを後述するてい倍回路3へ供給する同期分離回路2と、同期分離回路2から供給される水平同期信号HDをてい倍して映像信号時間圧縮ブロック1'におけるサンプリングクロック周波数 f_s の3倍の周波数のクロックを生成するてい倍回路3と、映像信号時間圧縮ブロック1'から出力される面順次カラー映像信号を供給される白黒CRT4と、白黒CRT4の前面に配置されたカラー液晶シャッタ5と、映像信号時間圧縮ブロック1'から出力される面順次カラー映像信号から水平同期信号及び垂直同期信号を分離し、後述する偏向回路7と液晶シャッタドライブ回路8へ供給する同期分離回路6と、同期分離回路6から供給される水平同期信号及び垂直同期信号を基に白黒CRT4の水平偏向及び垂直偏向を行なう偏向回路7と、同期分離回路6から供給される水平同期信号と垂直同期信号及び映像信号時間圧縮ブロック1'から供給されるカラー指定信号を基にカラー液晶シャッタ5のオン/オフ制御を行なう液晶シャッタドライブ回路8とから構成されている。

【0027】次に図1に示した面順次カラー画像表示装置の動作を説明する。フィールド周波数 $f_{v1} = 60\text{ Hz}$ の輝度/色差コンポーネント映像信号は映像信号時間圧縮ブロック1'にパラレルに入力される。映像信号時間圧縮ブロック1'は、Y信号及び色差信号(R-Y、B-Y信号)をA/D変換して内部のフィールドメモリ(図示せず)に書き込み、書き込み時の3倍の速度で読み出すことにより1/3に時間圧縮を行う。そして、このフィールドメモリから読み出したY信号及び色差信号からR、G、B面順次信号を作成する。さらに、このR、G、B面順次信号をD/A変換して映像信号時間圧縮ブロック1'から出力する。この時、同期分離回路2がY信号から分離した水平同期信号HD及び垂直同期信号VDと、この水平同期信号HDを基にてい倍回路3が生成したクロックが映像信号時間圧縮ブロック1'に入力され、各種タイミング制御信号の作成に使用される(詳細は後述)。

【0028】映像信号時間圧縮ブロック1'から出力されたR、G、B面順次カラー映像信号は白黒CRT4へ送られ、電気/光変換され白色光となる。R、G、B面順次カラー映像信号は同期分離回路6へも送られる。同期分離回路6はR、G、B面順次カラー映像信号から水平同期信号と垂直同期信号を分離して偏向回路7と液晶シャッタドライブ回路8へ送る。偏向回路7は同期分離回路6から供給される水平同期信号及び垂直同期信号を基に白黒CRT4の水平偏向及び垂直偏向を行なう。また、液晶シャッタドライブ回路8は同期分離回路6から供給される水平同期信号と垂直同期信号及び映像信号時間圧縮ブロック1'から供給されるカラー指定信号を基

に、図5に示した2枚の液晶パネル22、24がR、G、B面順次カラー映像信号の色に対応した表示色になるようにオン/オフ制御する。

【0029】つまり、本実施例では輝度/色差コンポーネント映像信号を面順次カラー映像信号に変換している点が図4の従来例と相違する。このための映像信号時間圧縮ブロック1'は図2のように構成されている。なお、この映像信号時間圧縮ブロック1'は1個のICチップで構成することが好適である。

【0030】図2に示すように、映像信号時間圧縮ブロック1'は、Y信号を8ビットのデジタル信号に変換するA/Dコンバータ11と、R-Y信号及びB-Y信号をサンプル毎に交互に選択して時分割化するスイッチSW1と、スイッチSW1が選択したR-Y信号及びB-Y信号を8ビットのデジタル信号に変換するA/Dコンバータ12と、A/Dコンバータ11、12の出力を格納するVRAM13、14と、VRAM13、14の出力からR、G、B信号を作成するマトリックス回路15と、マトリックス回路15の出力を選択して面順次化するスイッチSW2と、スイッチSW2により面順次化したカラー映像信号をアナログ変換するD/Aコンバータ16と、VRAM13、14の書き込み制御信号を生成するVRAM書き込み制御回路17と、VRAM13、14の読み出し制御信号、スイッチSW2の切り換え制御信号及び液晶シャッタドライブ回路8のカラー指定信号を生成するVRAM読み出し制御回路18と、図1のてい倍回路3から供給される3fsのクロックを1/3に分周して周波数fsのサンプリングクロックを生成する1/3分周回路19とから構成されている。

【0031】ここで、図1の同期分離回路2から出力された水平同期信号HDと垂直同期信号VDは、VRAM書き込み制御回路17とVRAM読み出し制御回路18のタイミング制御信号として用いられる。

【0032】また、周波数fsのサンプリングクロックはA/Dコンバータ11、12のサンプリングクロックとして、また、スイッチSW1の切り換え制御信号として、さらに、VRAM13、14の書き込みクロックWCLKとして用いられる。また、VRAM書き込み制御回路17のタイミング制御信号として用いられる。

【0033】同様に、周波数3fsのサンプリングクロックはマトリックス回路15とD/Aコンバータ16のタイミング制御信号として、また、VRAM13、14の読み出しクロックRCLKとして、さらに、VRAM読み出し制御回路18のタイミング制御信号として用いられる。

【0034】また、VRAM13、14は、メモリ内で書き込みが読み出しを追い越さないようにするために4/3フィールドの容量を持たせてある。

【0035】図3はVRAM13、14のメモリ制御動作を示す図である。この図において、横軸は時間を示

し、縦軸は各VRAMの容量であってVはフィールドを示す。この図に示すように、VRAM13、14への書き込みはYとR-Y/B-Yが同時に行なわれる。前述したように、R-YとB-Yは1サンプルずつ交互に書き込まれる。本実施例におけるカラー映像信号はY：R-Y：B-Yが4：2：2であるから、Y：R-Y/B-Yは4：4となり、VRAM13と14へ格納されるときは、YとR-Y/B-Yはともに周波数fsのレートとなる。

【0036】また、読み出しもYとR-Y/B-Yが同時に行なわれる。ここで、読み出しの記号Rに添付されているr、g、bは、VRAM13、14から読み出された後にマトリックス回路15で変換される色に対応している。つまり、Rg(n)はnフィールドの読み出しデータであって、かつマトリックス回路15によりG信号に変換される成分であることを意味する。マトリックス回路15でR、G、Bの各信号を生成するには、Y、R-Y、B-Yが同時に存在することが必要であるため、YとR-Y/B-Yの対応する成分を同時に読み出す。本実施例では、マトリックス回路15においてR、G、Bの順序で面順次化するため、VRAM13、14からRr、Rg、Rbの順序で読み出している。

【0037】そして、Y、R-Y/B-Y共に、1フィールド分の書き込みを行なった後、次の1フィールド分の書き込みを行なう前に、Rr、Rg、Rbの読み出しを行なうことが必要であるため、VRAM13、14共に容量を4/3フィールドにして追い越しを回避している。

【0038】このように、本実施例によれば、VRAMの個数を従来の3個から2個へと削減でき、かつその容量も10/3フィールド分から8/3フィールド分へと削減できる。マトリックス回路の増加分を考慮しても、映像信号時間圧縮ブロック1'をまとめてIC化すれば、従来よりもVRAM1個分コストを低減できる。

【0039】なお、本発明は前記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、それらを本発明の範囲から排除するものではない。例えば、図1における同期分離回路2及びてい倍回路3を1チップで構成された映像信号時間圧縮ブロック1'内に設けてもよい。逆に、図2における1/3分周回路19を映像信号時間圧縮ブロック1'の外部に設けてもよい。

【0040】また、VRAM13、14には画像の有効走査部分の映像信号のみ格納し、VRAM13、14から読み出した後に別途作成した同期信号を付加するように構成してもよい。この場合、同期分離回路6により分離した同期信号を偏向回路7と液晶シャッタドライブ回路8へ供給するのではなく、前記別途作成した同期信号を偏向回路7と液晶シャッタドライブ回路8へ供給するように構成することが好適である。

【 0 0 4 1 】

【発明の効果】以上詳細に説明したように、本発明によれば、カラー映像信号を時間圧縮するために必要なメモリの個数と容量を削減することができるので、映像信号時間圧縮装置及び面順次カラー画像表示装置のコストダウンを実現できる。

【図面の簡単な説明】

【図 1】 本発明を適用した面順次カラー画像表示装置の構成を示すブロック図である。

【図 2】 図 1 における映像信号時間圧縮ブロックの構成 10 を示すブロック図である。

【図 3】 図 2 における VRAM のメモリ制御動作を示す図である。

【図 4】 従来の面順次カラー画像表示装置の構成を示すブロック図である。

【図 5】 図 4 におけるカラー液晶シャッタの構成の一例とその動作を示す図である。

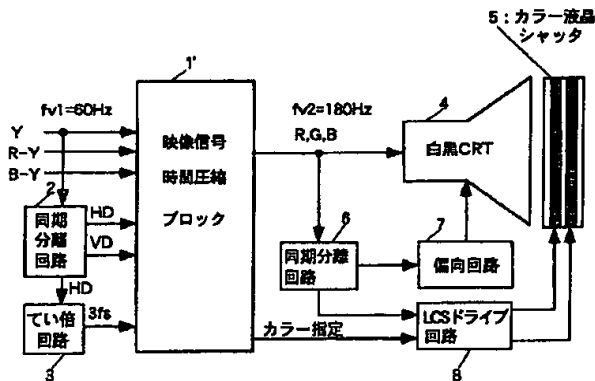
【図 6】 図 4 における映像信号時間圧縮ブロックの構成を示すブロック図である。

【図 7】 図 6 における VRAM のメモリ制御動作を示す図である。

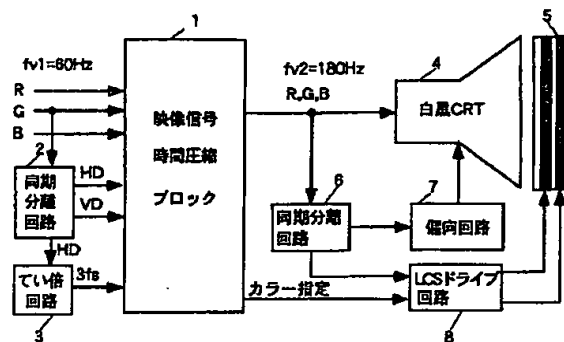
【符号の説明】

1' …映像信号時間圧縮ブロック、 4…白黒 CRT、 5…カラー液晶シャッタ、 8…液晶シャッタドライブ回路、 13、 14…VRAM、 15…マトリックス回路

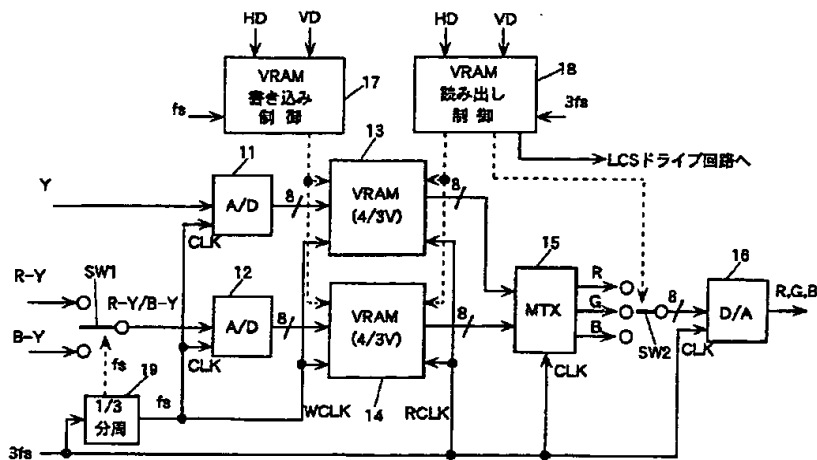
【図 1】



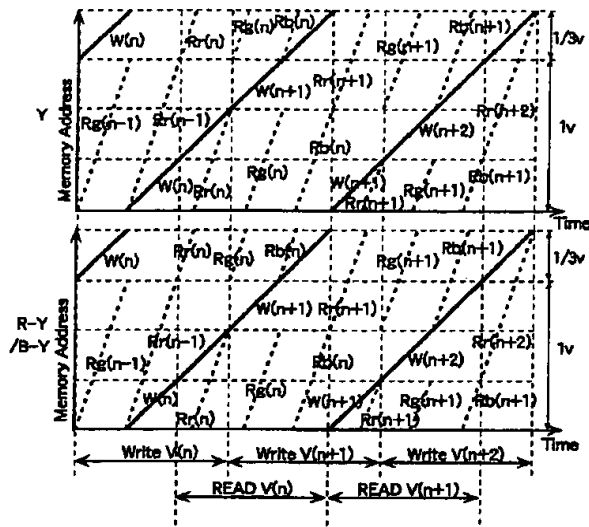
【図 4】



【図 2】

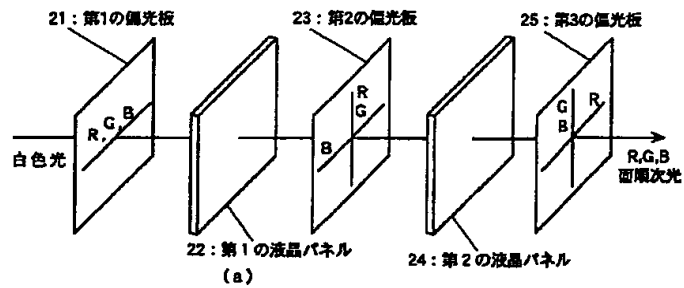


【図 3】



$W(n)$: nフィールド 書き込みデータ
 $R(n)$: nフィールド 読み出しデータ
 $Write\ V(n)$: nフィールド 書き込み区間
 $Read\ V(n)$: nフィールド (3フィールド) 読み出し区間

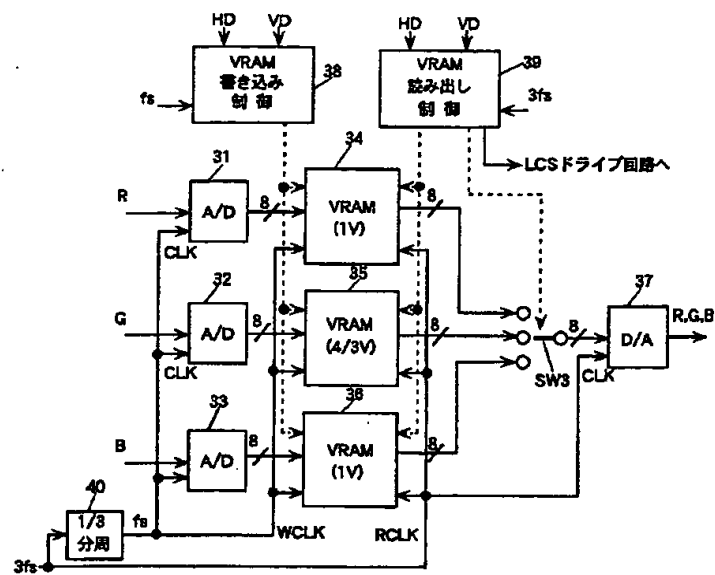
【図 5】



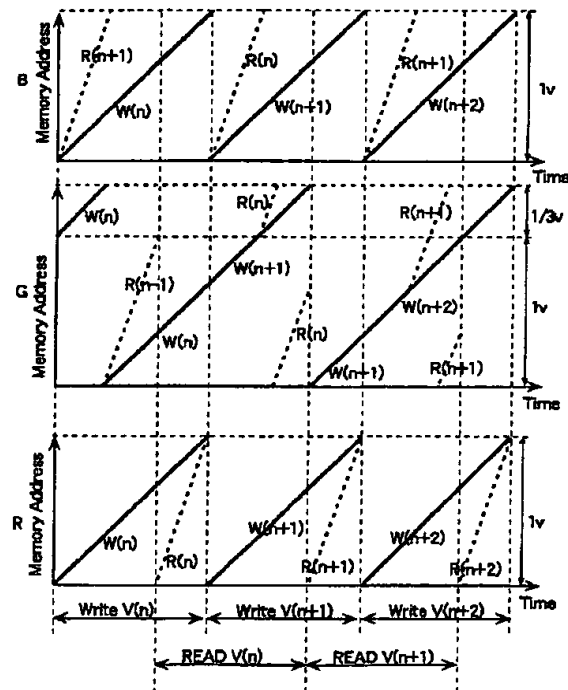
液晶パネル 22	液晶パネル 24	表示色
オン	オフ	B
オフ	オン	G
オフ	オフ	R

(b)

【図 6】



【図 7】



$W(n)$: nフィールド 書き込みデータ
 $R(n)$: nフィールド 読み出しデータ
 $Write V(n)$: nフィールド 書き込み区間
 $Read V(n)$: nフィールド (3フィールド) 読み出し区間